

5

US 5838 597

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-4550

(43) 公開日 平成10年(1998) 1月6日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 N 7/30			H 0 4 N 7/133	Z
H 0 3 M 7/38		9382-5K	H 0 3 M 7/38	
H 0 4 N 5/455			H 0 4 N 5/455	

審査請求 未請求 請求項の数 8 OL (全 17 頁)

(21) 出願番号 特願平8-324181  
 (22) 出願日 平成8年(1996)12月4日  
 (31) 優先権主張番号 95830504-7  
 (32) 優先日 1995年12月4日  
 (33) 優先権主張国 イタリア (I T)  
 (31) 優先権主張番号 96830106-9  
 (32) 優先日 1996年3月11日  
 (33) 優先権主張国 イタリア (I T)

(71) 出願人 596178970  
 エッセ・ジ・エッセートムソン・マイクロ  
 エレクトロニクス・ソシエタ・ア・レスポ  
 ンサビリタ・リミタータ  
 SGS-THOMSON MICROEL  
 ELECTRONICS s. r. l.  
 イタリア国 アグラテ・ブリアンツァ、  
 ヴィア・チ・オリヴェティ 2  
 (72) 発明者 ダニロ・パウ  
 イタリア国 セエスト・サン・ジョヴァン  
 ニ、ヴィア・ダンテ 131  
 (74) 代理人 弁理士 萩野 平 (外3名)

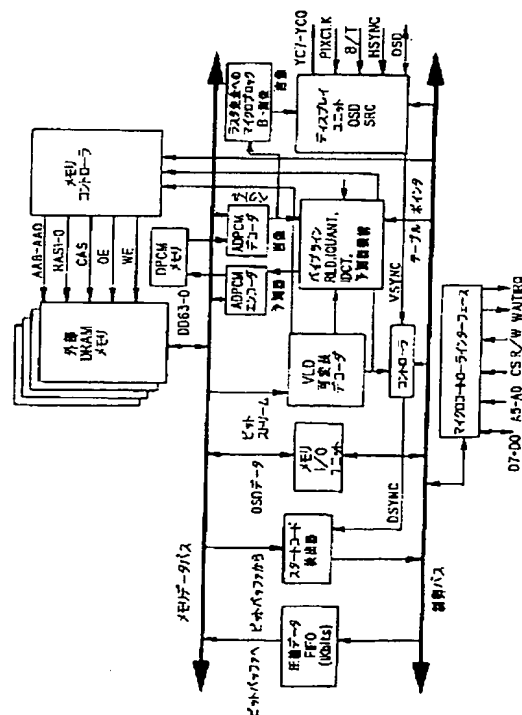
最終頁に続く

(54) 【発明の名称】 MPEG-2 復号方法及びMPEG-2 ビデオ復号器

(57) 【要約】

【課題】 MPEG-2 復号器のスタティックメモリの必要量を最適化すべく、メモリの著しい低減を可能にすること。

【解決手段】 MPEG-2 復号器のビデオRAM必要量は、MPEG-2 伸張の後で、関連するデータのビデオRAMへの格納の前における、少なくともIおよびP画像における適応パルス符号変調技術 (ADPCM) による再圧縮によって低減される。前記ビデオRAMの中に書き込まれ、ADPCM再圧縮され符号化されたデータは、表示されるべきB-画像の再構築の間において複合化され伸張される。



## 【特許請求の範囲】

【請求項 1】 MPEG 圧縮アルゴリズムのそれぞれ I、P および選択的な B-画像の伸張段を有する MPEG-2 復号器の必要なビデオメモリを低減するとともに、これらの画像に関連するデータが、前記ビデオメモリの中に組織されたそれぞれのバッファの中に格納される MPEG-2 復号方法において、  
前記 MPEG-2 伸張の後で、前記ビデオメモリバッファの中に格納する前に、少なくとも前記 I および P 画像を再圧縮し、前記伸張された画像データの離散余弦変換に関する  $n \times m$  画素の各ブロックの変動を推定し、多重レベルの適応量子化器を形成する間に、一組の係数によって各ブロックの変動の値に乗算を行い、適応パルス符号変調技術 (ADPCM) に従って、各ブロックの第 1 の画素を  $p$  ビット数でコード化し、前記変動の推定値を  $nh$  ビット数、すなわちこの場合、 $h$  は、ゼロより大きい整数である  $nh$  ビット数でコード化し、さらに、前記第 1 の画素に続く他の各画素と前記ブロックの全ての画素の平均値との間の差分を  $p-k$  ビット数、すなわちこの場合、 $k$  はゼロより大きい整数である  $p-k$  ビット数でコード化し、  
そのようにコード化された再圧縮 I および P 画像に関連するデータをビデオメモリの前記それぞれのバッファの中に格納し、  
前記再圧縮 I および P イメージの画素に関連する前記格納されたデータを復号し、適応パルス符号変調技術 (ADPCM) に従って前記イメージを伸張し、それらをディスプレイユニットに向けることを有することを特徴とする MPEG-2 復号方法。

【請求項 2】  $n \times m$  画素の各ブロックを  $(n/2) \times m$  画素の 2 つのサブブロックに予防的に細分割し、前記サブブロックに対して、前記 ADPCM 再圧縮、符号化-復号化および ADPCM 伸張を実行することを有することを特徴とする請求項 1 に記載の MPEG-2 復号方法。

【請求項 3】 制御バスとデータバスとを介してビデオデータがビデオ復号器の“コア”の外にあるそれぞれの RAM バッファの中で書き込まれ読み出される制御バスとデータバスとをインタフェースする MPEG-2 ビデオ復号器であって、  
前記“コア”は、データ獲得と外部 DRAM メモリの第 1 のバッファ (BIT BUFFER) への書き込みのための“第 1 の先入れ先出し” (FIFO) バッファと、制御器によって同期させられた開始コード検出回路 (START CODE DETECTOR) と、オンスクリーンディスプレイデータ (OSD) のための双方向バッファ (I/O UNIT) と、圧縮されたデータ入力ストリーム (BIT STREAM) の可変長復号器 (VDL) と、“ランレングス”復号器、逆量子化回路、逆離散余弦変換プロセッサ、“予測器”発生回路、ディスプレイユニットの上流の現在の B-画像のための“ラ

スタ走査へのマクロブロック走査”変換回路を有し、可変長復号器によって復号化されたデータの MPEG 伸張ブロック (パイプライン-RLD、I-QUANT、I-DCT、予測器構造) とを有する復号器において、伸張された I および P 画像を再圧縮でき、前記外部メモリのそれぞれのバッファの中に格納されるべき関連するデータをコード化することができる差分型の適応差分パルス符号変調による符号化および再圧縮回路 (ADPCM エンコーダ) と、

10 I および P 画像に関連する複合化され伸張されたデータのストリームを発生することができる前記外部メモリのそれぞれのバッファから読み出された前記再圧縮 I および P 画像に関連する格納データの復号化および伸張並びに復号化の回路 (ADPCM デコーダ) と、  
B-画像の動き補償および“ラスト走査へのマクロブロック”変換の手段とを有することを特徴とする MPEG-2 ビデオ復号器。

【請求項 4】 前記再圧縮および符号化回路 (ADPCM エンコーダ) は、MPEG-2 伸張の前記パイプラインによって生成された伸張 I-DCT データのブロックの獲得のためのバッファ (BLOCK BUFFER) と、  
前記バッファ (BLOCK BUFFER) のエネルギー内容を推定することができ、前記メモリのそれぞれのバッファの中に格納されるべき I-DCT データのブロックの画素値の前記変動のデジタル値を発生することができる回路 (VARIANCE ESTIMATOR: 変動推定器) と、  
前記メモリから読み取られた変動の前記デジタル値によって選択された複数の予め確立されたデジタル値 ROM (PLA) を格納するためのプログラマブル手段と、  
30 変動の現在値によって選択されたデジタル値によって首尾一貫して条件付けられた多重レベル量子化回路 (QUANTIZER) と、

前記 I-DCT 伸張データブロックのストリームを第 1 の入力を介して受けることができ、予測器の値を第 2 の入力を介して受けることができ、前記多重レベル量子化回路 (QUANTIZER) に入力されるデータのストリームを出力することができる微分回路 (-) と、  
前記量子化回路の出力ストリームを入力として受け取ることができるものの、それぞれのメモリバッファの中  
40 の ADPCM 再圧縮データの書き込みコード化回路 (CODER) と、

伸張された I-DCT データストリームを第 1 の入力を介して受け取り、前記回路によって発生させられ予測器の値を第 2 の入力を介して受け取るマルチプレクサ (MUX)、前記量子化回路の出力を第 1 の入力を介して受け取り、前記マルチプレクサ (MUX) の出力を第 2 の入力を介して受け取り、合計されたデータのストリームを出力する加算器 (+)、その出力が前記微分回路 (-) および前記マルチプレクサ (MUX) の第 2 の入力に供給され、前記予測器の値 (COEFF) を発生する回路が直列に

後続するとともに、前記加算器(+)によって生成された合計されたデータの前記ストリームを入力を介して受け取る制限回路(LIM 0-255)を有する前記予測器の値の発生回路とを有することを特徴とする請求項3によるMPEG-2ビデオ復号器。

【請求項5】 前記プログラマブル手段(ROM, PLA)は、読み取り専用メモリ(ROM)によって構成されていることを特徴とする請求項4に記載のMPEG-2ビデオ復号器。

【請求項6】 前記プログラマブル記憶手段は、プログラマブルロジックアレイ(PLA)によって構成されていることを特徴とする請求項4に記載のMPEG-2ビデオ復号器。

【請求項7】 ADPCM再圧縮データの一部分を復号器の中に記憶するための手段(ADPCMメモリ)を有することを特徴とする請求項4に記載のMPEG-2ビデオ復号器。

【請求項8】 前記記憶手段(ADPCMメモリ)は、194,400ビット容量のRAMメモリによって構成されていることを特徴とする請求項4に記載のMPEG-2ビデオ復号器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MPEG圧縮アルゴリズムの使用に基づく集積ビデオ復号器に関し、特に、必要量が低減されたビデオメモリを具備するMPEG-2と呼ばれるMPEG-1標準の第2およびそれより進歩したバージョンによる集積ビデオ復号器に関する。

【0002】

【従来の技術】MPEG-1標準は、デジタル型の記憶支援体、例えばCD-ROM、の上にビデオ情報を格納および検索する効果的な方法を実行する産業の必要性に応じて開発された。もちろん、MPEG-1標準は、DAT、ウインチェスタディスク、光ディスク、およびISDNとLANネットワークのような類似の支援体の上にデータを効果的に格納するための強力なツールである。この標準のより効果的なバージョンで、いわゆるMPEG-2は、デジタルビデオ伝送応用の分野におけるビットレートの必要性に支援されて開発された。その標準は、一般に、約15Mbpsまでに、完全にインターレースされ、TV解像度の画像を圧縮するデジタルTVシステムに対して受け入れられた。

【0003】MPEG-2標準の特別なバージョンは、未来世代のHDTVシステムにおいて使用されることが期待されている。このMPEG標準は、以前の国際標準、例えばCCITT動作ベクトル決定アルゴリズム(motion vectors determination algorithm) H. 261および静止画像の符号化に対するISO JPEG委員会のISO 10918標準によって規定された重要なア

ルゴリズムと基準とを組み込みおよび利用している。実行技術の異なる徹底した説明、および、MPEG標準による圧縮されたビデオ画像に関するデータの関係する符号化と復号化システムと同様に、MPEG標準(1および2)は、この主題に関する多くの論文および報告に記載されており、そのうちには次のようなものがある。

【0004】-国際ISO/IECDIS 13818-2 “情報技術-動画および関連した音声情報の一般的な符号化”

10 -Leonardo Chiariglioneによる“MPEG符号化および移送システム”、デジタルテレビジョンの放送-処理-Didier J. Le Gall による“MPEGビデオ圧縮アルゴリズム”、信号処理画像通信、Elsevier Science Publishers B.V., Vol. 4, No. 2, April 1992

-要約雑誌No. 1995/012、電子工学部門、Institute of Electrical Engineers -ロンドン、“MPEG-2-何がそうで何がそうでないのか”についての討論会

20 -“MPEG圧縮アルゴリズムの外観”SGS-THOMSON MICROELECTRONICS (An 529/0294)によって公表された技術ノート

-データシート“STi3500A”SGS-THOMSON MICROELECTRONICSのデータシート

-“STi3520A-MPEG音響/MPEG-2ビデオ集積復号器のための先行情報”(1995年6月)

【0005】ここでは図1として再現されているSGS-THOMSON MICROELECTRONICSによって市場で売られているMPEG音響/MPEG-2ビデオ集積復号器に関連する刊行物No. STi3520Aについての図3において示されているもののようなMPEG-2復号器の典型的なアーキテクチャによると、十分に規定されたビデオメモリの必要性、すなわち、PALおよびNTSC応用に対して、16MビットPALビデオ信号を支持できる外部DRAMメモリの容量である必要性が存在し、次のように推定される。

30 【0006】MPEG-2ビデオ復号器およびMPEG音響復号器の両方が共通のインタフェースを介して、16Mビットの唯一の外部DRAMメモリにアクセスするということを考慮に入れると、音響復号器は、MPEG-2ビデオ復号器の必要性を満足させるために利用できる残りの16,646,144ビットをそのままにして、131,072ビットのみに対するアクセスを要求してもよい。ビデオメモリは次のように構成できる。

【0007】-“ビットバッファ”：すなわち、伸張の理想的でない工程が実際には行われることを考慮して、MPEG-2標準が1.75Mビットプラス余分量、例えば983,040ビットに固定するという圧縮されたデータのためのバッファである。

50 -4:2:0のフォーマットにおける伸張された内部-画像(decompressed Intra-picture)あるいは短くI-

5

画像のための第1の“I-フレームバッファ”

—4:2:0のフォーマットにおける伸張された予測—  
画像あるいは短くP-画像のための第2の“P-フレーム  
バッファ”

—4:2:0フォーマットにおける伸張された双方向予  
測画像あるいは短くB-画像のための第3の“B-フレ  
ームバッファ”であって、低減された、すなわちPAL  
あるいはNTSCシステムの場合においてそれぞれフレ  
ームの0.7407あるいは0.6111であるメモリ

PAL	ルナ(ルミネセンス)(Y)		
	に対する720×576×8	3,317,760 ビット	
	Uクロマ(クロミナンスU)		
	に対する360×288×8	820,440 ビット	=4,976,640 ビット
NTSC	Vクロマ(クロミナンスV)		
	に対する360×288×8	820,440 ビット	
	ルナ(ルミネセンス)(Y)		
	に対する720×480×8	2,764,800 ビット	
	Uクロマ(クロミナンスU)		
	に対する360×240×8	691,200 ビット	=4,147,200 ビット
	Vクロマ(クロミナンスV)		
	に対する360×240×8	691,200 ビット	

【0010】したがって、最も重い負荷の場合を表すP  
ALシステムの場合、参照例となる必要な実際の全メモ  
リ量は、下記のように与えられる。

$1,835,008 + 835,584 + 4,976,640 + 4,976,640 + (4,976,640 \times 0.7407) = 16,310,070$  ビット

この計算は、B-画像フレームバッファの0.7407 30  
最適化を考慮に入れている。

【0011】さらなる最適化は、外部RAMへの格納ス  
テップに頼ることなく、ディスプレイユニットの機能的  
に上流に配置された専用回路ブロックにより集積復号器  
装置の中で等価の機能を内部的に実行することによっ  
て、B-画像の伸張を実行することにあってもよい。

【0012】このさらなる最適化を考慮して、ビデオR  
AMの必要性は以下のように低減する。

$1,835,008 + 835,584 + 4,976,640 + 4,976,640 = 12,623,872$  ビット

この場合、B-バッファは、MPEG-2圧縮データス  
トリーム、画像それ自身のビデオ表示工程によって要求  
される画像(フィールドあるいはフレーム)の各行のそ  
れにおいて定義された各8×8ブロックの走査を変換す  
るために必要とされる復号器の“コア(core)”を含む  
同じチップ内で実現される。そのような変換マクロセル  
(macrocell)は、“ラスタ走査へのマクロブロック変  
換器(MACROBLOCK TO RASTER SCAN CONVERTER)”と一  
般に呼ばれる。

【0013】

6

量を必要とする結局は理想化された第3のB-フレーム  
バッファ

【0008】このMPEG-2標準技術により、I、P  
あるいはB-画像を扱うこととは無関係に、ビデオ標準  
の型に依存して、4:2:0における各“フレームバッ  
ファ”は、次のテーブルによって与えられるメモリ量を  
占有してもよい。

【0009】

【表1】

【発明が解決しようとする課題】上述のようにMPEG  
-2復号器のスタティックメモリの最適化を制限する現  
在の事情に鑑み、本発明はメモリの著しい低減を可能に  
させる実施の方法および関連するシステムを提供するこ  
とを目的とする。

【0014】

【課題を解決するための手段】本発明の概念は、上述の  
計算からもたらされ復号工程によって要求されるメモリ  
量は、MPEG伸張に引き続き、それらが外部ビデオメ  
モリに格納される前、および、それらが外部メモリによ  
って読み取られる時のそれらの伸張の前において、予想  
に対する参照(標準MPEG-1およびMPEG-2の  
場合に対するI-画像およびP-画像)として用いられ  
る画像の再圧縮を可能にさせるとき、著しく低減され得  
るという認識に基づいている。

40 【0015】基本的に本発明の方法は、MPEG-2伸  
張の後で、かつ、ディスプレイユニットに画像を送る前  
に、B-画像の伸張が、B-画像の“マクロブロック走  
査からラスタ走査への”変換バッファを採用することに  
より、格納段階に頼らずして実行されると仮定する一  
方、少なくともI-画像およびP-画像を再圧縮するこ  
とにある。そのようなIおよびP画像再圧縮段階は、適  
応差分パルス符号変調(an adaptive differential pul  
se code modulation: ADPCM)技術に従って実行され  
る。

50 【0016】本発明の一つの見方によれば、IおよびP

画像のADPCM再圧縮は、次の必要条件に回答している。

【0017】効果： それらの伸張を実行するために用いられそれに追加された圧縮画像によって占有されているメモリ量は、前記ADPCM再圧縮を必要としない復号器に対して用いられる合計メモリよりも低い。

【0018】効率： (1) 画像の再圧縮は、メモリの一部を使用しないことから得られる節約に比較されるならば、装置の全コストがひどく増加しないような簡単な方法で実行される。

【0019】(2) 再構築された画像の品質は、無視できる品質低下を受け、あるいは、コスト/品質の観点から如何なる場合にも受け入れ可能である。

【0020】(3) 適宜にかつ好ましくも、外部メモリの機能を制御し、動き補償工程のための予測器をこの外部メモリから引き出すように要求される主クロックサイクルは、好適に低減される。これを得るためおよび好ましい実施例に従って、圧縮された情報の一部は、下で詳しく説明されるように、専用バッファの中の復号器の“コア”の素子の中に格納される。

【0021】実際、ADPCM技術による再圧縮は、例えば、ルミナンスブロックの(例えば、それぞれ8\*8画素の)4ビット圧縮およびクロミナンスブロックの(例えば、それぞれ8\*8画素の)3ビット圧縮に従って、データを符号化することにより、MPEG-2伸張ブロック(I-画像に対し、動きの後では、P-画像に対して)の離散余弦逆変換処理回路によって出力されるように、クロミナンスおよびルミナンスブロックに関するデータに対して実行される。

【0022】場合によっては、ルミナンスおよび/またはクロミナンスUとVのn\*m画素の各ブロックは、さらに(n/2)\*m画素の2つのサブブロックに予防的に細分割され、このようなデータサブブロックに対して、ADPCM圧縮の行程/符号化/メモリへの書き込み/メモリからの読み出し/復号化/ADPCM伸張が実行されてもよい。

【0023】本発明のADPCM圧縮方法は、下に説明されるように、上述の必要性、すなわち、異なるレベルの圧縮に対して符号化および複合化の回路が最適化されるべき場合には、符号化および複合化の回路の修正を極度に単純な方法で可能にさせるように、それにある程度の圧縮における柔軟性が加えられべきである必要性を満たす。

【0024】本文脈において、短縮語“pel”は、以降“pixel:画素”の代わりに用いられる。

【0025】本発明の一つの観点によると、関連する記憶バッファに書き込まれ、そこから読み出されるビデオ画像に関する制御バスとビデオデータ処理バスとをインタフェースするビデオ復号器MPEG-2であって、外部DRAMメモリのビデオビットのためのそれぞれの第

1のバッファの中における圧縮データの獲得および書き込みのための“先入れ先出し”型の第1のバッファと、制御回路によって同期させられる画像初期コードの検出回路と、オンスクリーンディスプレイ(OSD)データを格納するための双方向バッファと、圧縮入力データストリームの可変長復号ブロックと、前記可変長復号ブロックによって復号化されたデータの伸張ブロックであり、“ランレングス”型の復号段、逆量子化機能をはたす回路、逆離散余弦変換(I-DCT)の処理回路、および、予測器の値発生ネットワークを有する伸張ブロックとを一般的に有していてもよいビデオ復号器MPEG-2において、

—適応差分パルス符号変調(ADPCM)技術により、伸張されたIおよびP画像を符号化および再圧縮し、動き補償の後に、外部メモリによってそれぞれのバッファの中に書き込まれるI-DCTブロック出力データを符号化するための回路と、

—外部メモリのそれぞれのバッファから読み出され再圧縮されたIおよびP画像に関連してI-DCTブロックからの出力(ADPCM)データを伸張および復号化するための回路であり、伸張されたB-画像に関連するI-DCTブロックの出力データと一緒に、外部ビデオディスプレイユニットに送られるべきIおよびP画像に関連してビデオデータストリームを発生することができる回路とをさらに有することを特徴とするビデオ復号器MPEG-2。

【0026】本発明の一実施例によれば、符号化および再圧縮を行う回路は、

—MPEG伸張ブロックによって生成された伸張I-DCTデータの獲得バッファと、

—前記バッファのエネルギー内容を評価でき、外部メモリのそれぞれのバッファの中に格納されるべきI-DCTブロックによって出力された異なるデータブロックの画素値のデジタル変動値を発生できる回路と、

—前記回路によって発生させられた実際あるいは現在のデジタル変動値によって首尾一貫して条件付けられた多重レベルの量子化器と、

—MPEG伸張ブロックによって生成されたI-DCTデータストリームを第1の入力を介して受け取ることができ、予測器の値を第2の入力を介して受け取ることができ、前記量子化器の入力に送られるべき出力データストリームを生成することができる微分器と、

—量子化器の出力ストリームを入力として受け取ることができる、それぞれのバッファの中の外部メモリの再圧縮されたデータの符号化および書き込み回路と、

—I-DCT入力データストリームを第1の入力を介して受け取ることができ、ネットワークによって発生させられた予測器の値を第2の入力を介して受け取ることができるマルチプレクサを有する前記予測器の値の発生のためのネットワークと、

一量子化器の出力ストリームを第1の入力を介して受け取ることができ、前記マルチプレクサによって出力されたデータを第2の入力を介して受け取ることができ、合計されたデータの出力ストリームを生成することができる加算器と、

一前記加算器によって生成された前記合計されたデータストリームを入力として受け取ることができるとともに、前記微分器と前記マルチプレクサの第2の入力に供給される前記予測器の値を発生する回路が直列に後続する制限回路とを有していてもよい。

【0027】前記伸張および復号化回路は、それぞれの外部メモリバッファからくる圧縮され符号化されたデータストリームを第1の入力を介して受け取ることができ、同じ外部メモリバッファの中に予め格納された関連する変動値を第2の入力を介して受け取ることができ、復号化回路と、前記復号化回路によって出力された復号化されたデータストリームを第1の入力を介して受け取ることができ、前記かさんきの出力に既に発生されている、伸張された画素値に関連する予測器の値を第2の入力を介して受け取ることができ、加算器の合計段からなり、画素値の制限器が後続する伸張ネットワークとによって構成され得る。

【0028】もちろん、ルミナンスおよびクロミナンスのデータブロックの画素の大きさ、MPEG-2圧縮技術によるI\_DCTデータのフォーマット、ADPCM技術に従って既に伸張されたIおよびP画像の再圧縮データのフォーマット、同様に、推定されたデジタル変動値のフォーマットと関連する量子化器のレベル数は、現記載における例によって指示されたものと異なってもよいし、ビデオの復号器あるいは受信器の設計選択に基づいて通常規定されるであろう。

【0029】

【発明の実施の形態】本発明の種々の観点と関連する有利な点とが重要な実施例についての後続の説明を通し、また、付属の図面を参照することによって、より以上に明かとなるであろう。図で示されたサンプルの例は、PALおよびNTSCの応用において使用可能であり、16MビットのPALを支持することができ、そのような要求から開始して必要なビデオRAMの大きさを著しく低減できるMPEG-2ビデオ復号器に関する。

【0030】図1において示されるアーキテクチャにより、MPEG-2ビデオ復号器（集積されたシステムの“ビデオコア”）は、同じ外部DRAMに組み込まれていてもよい関係する音響バッファにアクセスするMPEG音響復号器コア（不図示）によっても共同使用され得る、インターフェース用のメモリデータバスを通して外部DRAMメモリにアクセスする。メモリデータバスとインターフェースする以外に、ビデオ復号器コアは、それを介してシステムの制御マイクロプロセッサがインターフェースブロック、マイクロコントローラインターフェ

ース（MICROCONTROLLER INTERFACE）に介入するところの制御バスともインタフェースする。

【0031】ビデオ復号器は、同期管理、DSYNC および VSYNCのためのコントローラ（CONTROLLER）を含んでいてもよい。従来のMPEG-2のアーキテクチャによると、復号器は、例えば、外部DRAMの第1のバッファ、ビットバッファの中の圧縮データの獲得および書き込みのために1Kビットを持った“先入れ先出し”バッファで圧縮データFIFOと、開始コード検出器と、オンスクリーンディスプレイ（OSD）のためのメモリ双方向バッファでメモリI/Oユニットと、圧縮入力データストリーム（ビットストリーム）のための第1の可変長復号器（VLD）ブロックとを有している。

【0032】MPEG-2DCTデータ伸張は、関連する伸張ブロック（パイプライン-RDL、I\_QUANT、I\_DCT、予測器構築）によって実行される。パイプラインは、“ランレングス”復号化段（a “run-length” decoding stage: RDL）と、逆量子化回路（an inverse quantization circuit: I\_QUANT）と、逆離散余弦変換プロセッサ（an inverse discrete cosine transform processor: I\_DCT）と、予測器の値の発生あるいは構築（予測器構築: PREDICTORCONSTRUCTION）のためのネットワークとを典型的に含んでいる。

【0033】公知のアーキテクチャにおいて、I、PおよびB画像に関連して、逆離散余弦変換と動き補償とを計算するI\_DCT処理回路によって出力されたI\_DCTデータのブロックは、復号化されディスプレイユニットに送られる前に、コード化された形、すなわち、ある数のビットのワードの形で、外部メモリのそれぞれのバッファに書き込まれた。対照的に、本発明によると、IおよびP画像に関連する伸張されたI\_DCTデータは、コード化され外部メモリの関連するバッファに書き込まれる前に、ADPCM技術に従って再圧縮される。このことは、専用ブロック、ADPCM符号器によって影響される。その後、再圧縮されたデータは、ディスプレイユニットに対して、伸張されたB-画像と一緒に、送られるために、ADPCM復号器ブロックによって復号化され、伸張される。

【0034】任意ではあるが、内部補助メモリ（ADPCMメモリ）は、下に記述されるように、外部メモリの管理を最適化するために実現されてもよい。そこで、B-画像の“直接”の再構築の好ましい場合において、このことは次のように実現される。

【0035】一ADPCM圧縮IおよびP予測器は、現在“パイプライン”によってMPEG-2伸張されているB-画像の動き補償を実行するために、外部メモリと伸張されたADPCMとによって読み取られる。

【0036】そのように再構築されたI\_DCTデータのマクロブロック（macroblock）は、図1において示されているダイアグラムの中の表示ユニットに先行する

“ラスタ走査へのマクロブロック (MACROBLOCK TO RASTER SCAN)” 変換回路に送られ、次にそれらは表示される。この手順は、B-画像を格納するように予定された外部メモリの中の如何なるバッファをも必要としない、なぜならば、そのようなバッファは、マクロセル (macrocell) “ラスタ走査へのマクロブロック変換器 B-画像 (MACROBLOCK TO RASTER SCAN CONVERTER B-picture)” の中に存在するからである。

【0037】図2は、伸張されたIおよびP画像に関連しI\_DCTブロック (簡略さのためにI\_DCTデータとしてしばしば示される) によって出力されたデータから図1のダイアグラムの再圧縮ブロックの詳細を示している。図2を参照すると、ADPCM符号化ブロックは、I\_DCT入力データ獲得のための64\*8ビットバッファ (ブロックバッファ: BLOCK BUFFER) を有する。専用回路 (変動推定器: VARIANCE ESTIMATOR) は、I\_DCT入力データの各サブブロックの平均画素値と、I\_DCTデータサブブロックの各画素間の差分の絶対値の合計の平均とを計算する。そのようなパラメータで入力データ (画素) ブロックの変動を評価することは可能である。

【0038】図3および4は、好ましい実施例による変動予測ブロックの詳細な機能案を示している。変動予測ブロックの図3および4の詳細な案は、当業者によって直ちに理解されるように標準の術語を使用している。変動推定の回路ブロックを構成する各段のさらなる定義および記述は、本発明のアーキテクチャの全体の理解に対して必要とは考えられない。

【0039】ROMブロックは、図示の例において指示されているように、それぞれ8カラム (8ビット) からなる56行によって構成されていてもよい。この読み出し専用プログラマブルメモリ (不揮発性) には、ルミナンスおよびクロミナンスの量子化の係数が格納されている。実際に、例えば、ルミナンスは、各ワードが変動推定器によって選択されるラインの16個の可能性のある係数の中から一つを選択することを意味して、4ビットでコード化される。これらの係数は、ゼロに関して対称であり、したがって、行は絶対値係数 (16というより8) を含む。

【0040】プログラマブルROMの使用に対する代わりとして、それは、利用されるシリコンの面積という意味で高価でない、すなわち、入力としてある変動値を受け取り、要求された係数の値を出力するプログラマブルロジックアレイ (PLA) の使用。そのPLAは、複数の係数の中の変動のブール変換を実行するようなアンド、オア、ノットゲートに配列されてもよい。

【0041】微分器の関連入力に印加されるべき予測器の値を発生するDPCM圧縮回路網は、2入力マルチプレクサから作られている。そのマルチプレクサの第1の入力には、I\_DCT入力データの各サブブロックの第

1の画素 (A1) の値が印加され、この場合、前記回路網で発生された予測器の値は、他の入力に印加される。加算器 (+) は、マルチプレクサ (MUX) の出力値に加えられるべき量子化回路 (quantizer circuit: 量子化器, QUANTIZER) の出力を第1の入力を通して受け取る。この合計の結果は、その出力ストリームが予測器の値 (COEFF) 発生回路の入力に供給されるところの制限回路 (a limiter circuit: LIM. 0-255) の入力に印加される。

10 【0042】制限段 (LIM. 0-255) は、適切な結合性の論理回路によって構成されてもよい。そのような段の使用は、画素値の8ビット符号化の場合において、255に固定されてもよい与えられた制限を越える偶発的な最大画素値を圧縮するのに必要である。実際に、圧縮および伸張の局面の期間において、画素値は、255の制限を時折越えることがあり、そのような場合においては、制限回路は、画素の最大値を設定された制限内に戻す。I\_DCTクロミナンスデータのための3ビット書き込み符号化 (CODER: 符号器) 回路と、ルミナンスI\_DCTデータののための4ビット符号化回路とは、量子化回路の出力ストリームを受け取り、そのように再圧縮されたデータを外部メモリのそれぞれのバッファに書き込む。

【0043】符号化とADPCM再圧縮ブロックの機能をよりよく図示する目的で、種々なブロック機能の説明に詳細な記載が続く。

#### 【0044】ADPCM再圧縮

IをM行とN列の画素マトリクスによって表されるデジタル画像とし、I(x, y)をy行とx列によって定義され、数Bのビット (2進数) によって整数として定義された画素としよう。画像Iは、RxC (R行およびC欄) 寸法を持つ長方形ブロックに再分割されるとしよう。圧縮に対する最大効率、もしも、RとCとがそれぞれMとNとの整数割り算器の間で選択されるならば、獲得される。

【0045】前記アルゴリズムは、ブロック自身の表現に必要なビット数の低減である各ブロックの圧縮を実行し、ブロック自身から抽出されたデータを適宜に利用するとともに、この目的は、圧縮されたデータのストリームの中のブロックおよびブロック自身の伸張に対するアクセスを簡単にすることである。ADPCM圧縮機構は、画像の隣接する画素の間に存在する相関関係を利用し、画像自身の2進記述のための必要ビット数を低減する。実際、画素の“予測”と一般に呼ばれるものを生成するために、それに隣接する画素の値のみを適切に結合すること (したがって、画素自身の値を使用することなしに) によって画素の値を概算することは可能である。

【0046】したがって、予測機構を規定し、各画素というよりは予測誤差のみを適切にコード化することによって、画像のデジタル表現のための2進数の大きさを低減することは可能である。画素の値の予測が正確になれ

ばなるほど、予測誤差のエントロピーは、より低くなり、すなわち、後者をコード化するのに必要なビット数はより少なくなる。

【0047】例えば、図8において示された走査技術に従う各ブロックの画素の走査のための装置を考慮すると、各画素に対して最初のを除いて、画素自身の予測器として用いられてもよいそれに先行する他のものがある。 $P(i, j)$ 、 $i=1, \dots, C$ は、いずれかのブロックの行 $i$ と列 $j$ とによって定義される画素であるとし、 $P'(i, j)$ は、 $P(i, j)$ の予測器として用いられた画素であるとし、図8の技術を参照することによって、装置は次のように定義される。

【0048】\*  $P(1, 1)$  = 走査の第1の画素

\*  $P'(i, 1) = P(i-1, 1)$  ;  $i=2, \dots, R$

\*  $P'(i, j) = P(i, j-1)$  ;  $i=1, \dots, R$   
 $j=2, \dots, C$

【0049】 $E(i, j) = P(i, j) - P'(i, j)$ は、予測誤差であるとしよう。全部の予測誤差は、一連の独立の偶発的な変数に対して十分に概算され、同じように分布され得るとともに、ラプラスian確立濃度 (Laplacian probability density) をもっている統計表現を有しているということは公知の [bib: J & N] である。予測誤差よりも前にこの知識を利用することによって、過度の歪みを導入することなしに、小グループの値  $Q(k)$ 、 $k=1, \dots, L$  および  $L < 2 \wedge B$  の上にそれをマッピングすることによって予測誤差を圧縮することが可能である。このマッピング動作は、一般に “量子化 (quantization)” と名付けられている。各  $L$  値  $Q(k)$  は、 $B$  より小さい  $C$  ビットの数 (例えば、 $L = \leq 2 \wedge B$  のときには、常に真である) でコード化され得ると仮定して、予測工程を受けさせられた各画素の2進コード化は、係数  $C/B$  によって圧縮される。

【0050】ADPCM圧縮方法は、次に述べる操作を介して画像がその中に伸張される各ブロックに適用される。

【0051】—デジタルストリームの中において適切な量子化器を選択しコード化すること

—そのブロックの第1の画素のコード化

—そのブロックの全ての残りの画素の相関関係を解き (decorrelating)、量子化し、コード化すること。

【0052】これらの操作を実行する種々のステップおよび回路アーキテクチャが以下に個々に記載される。

【0053】1) 量子化器の選択とコード化

もしも、量子化値の設定が量子化されるべき信号のエネルギーを考慮に入れることによって計算されるならば、量子化の工程によって導入された歪みは低減され得るということは充分に文書で証明されている。デジタル画像の異なる部分は、非常に異なるエネルギー値を示してもよいということは、さらに公知である。本方法は、次のようにブロック自身のエネルギーの関数として、各ブロックに

関連する全ての値  $Q(k)$  を規定する。

【0054】\* 単位エネルギーの場合に利用される全ての値  $Q_1(k)$   $k=1, \dots, L$  は、符号器に対しても復号器に対しても知られている。

\* そのブロックの  $U$  エネルギーは、デジタルストリームの中で推定されコード化される。

\* そのブロックによって効果的に使用される値  $Q(k)$  は、次のように計算される。

【0055】

10  $Q(k) = Q_1(k) * U$  ;  $k=1, \dots, L$

【0056】ブロックエネルギーの推定は、予測誤差のラプラスian統計を仮定することによって、比較的簡単な方法で行われてもよい。実際に、この場合において、エネルギーは、ブロック予測誤差の絶対値の2つの平均の平方根によって乗算することにより計算できる。そのエネルギーの符号化は、一定の量子化を基本的に実現するために、最大値に応じて大きさを決め、結果をビットの  $K$  数で表すことにより簡単に実行される。予測誤差の量子化器の選択において、量子化誤差のピーク値を考慮に入れることはさらに必要である。なぜならば、大きな予測誤差の場合において、以下に示される技術によると、量子化器のピーク回復値 (peak restitution value) が小さすぎるといことが発生するかもしれないからである。このように、変動の計算と同時に、その中で、飛び越し走査における1フィールドのラインの間のより大きな距離の故に、大きな予測誤差が起きそうである間に、第1の列の誤差に対する予測のピーク値も計算されるとともに、 $G$  連続水平ライン (すなわち、 $G=2$ ) の各グループに対しても行われる。予測誤差の過度のピークの発生と、その結果としての、一対の行の場合の  $2 * U$  エネルギーおよび第1の列の場合の  $4 * U$  に対応する量子化器の選択とを信号で伝えるために、画素のこれらのグループのそれぞれのコード化に1ビットが加えられる。

【0057】図3および4において詳細に図示されたような回路アーキテクチャは、この変動推定を計算するために用いられてもよい。

【0058】2) ブロックの第1の画素のコード化

図2の技術を参照すると、前に  $P(1, 1)$  として指示されたブロックの第1の画素は、如何なる種類の予測をも受けずに、元々の解像度に従って  $B$  ビットによってコード化される。

【0059】3) そのブロックの全ての他の画素の相関関係の解放、量子化、コード化

図2の技術を参照すると、ブロックの各画素に対して、画素  $P'$  は、前に規定されたように、予測器として適用されるであろう。前に詳細が記載された図8の走査順序に従って、この予測器は、既に量子化および再構築されており、したがって、元の画像からは取り込まれないということに留意すべきである。このことは、公知のADPCM技術とつじつまが合って、画像の品質のよりよい



制御を可能にする。

【0060】図2は、符号器の全体の形を与える以外に、個々の画素の予測および量子化ループの詳細を与える回路を示している。予測誤差の計算は、モジュラスと記号とによって実行される。このことは、量子化が作動するレベル数を半分にすることによって、量子化を簡単にすることを可能にしている。実際に、予測誤差の統計がゼロの周りで対称的であるということが知られている。

【0061】図5および図6は、量子化器の回路実施例を図示している。図5の技術は、回復値 $T_0, \dots, T_7$ の算術的な平均を表す7つの閾値 $S_0, S_1, S_2, S_3, S_4, S_5, S_6$ を発生するために用いられるアーキテクチャを示している。特に、その平均は、隣接した回復値（すなわち、 $S_2 = T_2 + T_3$ ）の間で計算され、この結果は、全精度を維持するために2によって割られない。もちろん、これは、8ビットというよりは、事実的に9ビット（すなわち、1記号ビットが加えられている）で表されている図6の技術の“err”値に2による乗算を行うことによって補償される。

【0062】図6は、実際の量子化回路を示している。図5において計算された閾値は、絶対値の一連の8つの間隔を定義し、したがって、もしも、“err”が $S_1$ と $S_2$ とによって規定される合間に発生するならば、“err”は、PLAによってあるいはROMを読み取ることにより、前に生成された値 $T_2$ によって置き換えられる。

【0063】したがって、 $S_1$ および $S_2$ を供給された2つの比較器は、結合ロジックの助けを借りて、マルチプレクサMUXを駆動し、“delta”と名前が付けられた出力に $T_2$ を移送する。その代わりに、“err”の記号ビットは、変更を受けずに出力に移送され、どんな場合にも、“delta”の記号となる。図2のビデオRAMにおける再圧縮と書き込みとのADPCM符号器の完全な技術を再び参照すると、16ビットワードの中に組織されるように再圧縮されたデータは、外部DRAMの中に格納される。このように、例えば、 $8 \times 8$ ブロックのルミナンスのコード化を表すNビットは、例えば、外部のDRAMメモリに向けて、図1のメモリコントローラの使用によって16ビットワードの中にそろえられ送り出される。明らかに、Nは、16ビットの倍数ではなく、したがって、16ビットワードは、有用な情報を含んでおらず、したがって、素子の上に実現可能である小さな寸法（外部のDRAMのそれと比較して）のメモリの中にそのようなワードを格納することは好都合である。特に有利な実現の形は、復号器の素子の上に集積可能な選択的な補助メモリのようなものを表すいわゆるADPCMメモリブロックの存在により、図1の技術の中に指示されている。

【0064】図1の技術のADPCM復号器ブロックのアーキテクチャは、図7において詳細に示されている。メモリから読み出されたものを上で参照されたNビットと仮定しよう。それらから計算されたような変動は、ROM（あるいはPLA）の中に格納された値を選択する、すなわち、格納された値の一つに狙いをつける。したがって、マルチプレクサMUXに供給される値 $T_0, T_1, T_2, T_3, T_4, T_5, T_6, T_7$ が生成される。4ビットのサブワード（ルミナンス伸張の場合において）は、Nビットから引き出され、それらは、T値の選択においてMUXを駆動する。

【0065】最後に、現在のT値は、伸張された画素になる以外に、MUXによって選択される次の値に加えられるべき値にもなる。この工程は、圧縮によって影響を受けない $8 \times 8$ ブロックの第1の画素によって開始される。

【0066】画素当たりNビットでの圧縮の例

図2乃至図7の例を参照して、偶然な動き補償の後の画素の $R \times C$ ブロックを考えてみよう。

【0067】そのブロックの圧縮のために利用されるビットの総数は、

$$K + 8 + (R \times C - 1) * N + 1 + R / G$$

この場合、

—  $K$  = エネルギーをコード化するために採用されたビット

—  $8$  = 走査された第1の画素のために用いられたビット

—  $N$  = 量子化のために用いられたビット

—  $(R \times C - 1) * N$  = 残りの画素のDPCMコード化のために採用されたビット

—  $1$  = 第1の列において変更された量子化器を示すビット

—  $R / G$  = 行の $R / G$ グループにおける変更された量子化器を示すためのビット

元の表現によって要求される $8 \times 8 \times 8 = 512$ に比較して、 $K = 6, R = 8, C = 8, N = 4, G = 2$ の場合に対して、我々は、下記の合計を獲得する：

$$6 + 8 + (8 \times 8 - 1) * 4 + 1 + 8 / 2 = 271 \text{ ビット / ブロック}$$

$K = 6, R = 8, C = 8, N = 3, G = 2$ の場合において、我々は、下記の合計を獲得する：

$$6 + 8 + (8 \times 8 - 1) * 3 + 1 + 8 / 2 = 208 \text{ ビット / ブロック}$$

【0068】MPEGマクロブロックの圧縮の例

各マクロブロックは、ルミナンスの4つの $8 \times 8$ ブロックと、クロミナンスの2つの $8 \times 8$ ブロックからできあがっており、各マクロブロックは、下記に等しいビット数でコード化されている。

【0069】

$$(4 * 8 * 8 * 8) + (2 * 8 * 8 * 8) = 3,072 \text{ ビット}$$

ルマ

クロマ

各画像においては、1620マクロブロックがある：  
 $3,072 * 1,620 = 4,976,640$  ビット

【0070】クロミナンス信号は、最も低い空間周波数に制限された帯域を示すより低い内容をもっているということは公知である。このことは、クロミナンスそれ自身のより大きな予測可能性、すなわち、ADPCM圧縮

$$(4 * 271) + (2 * 8 * 2) = 1,500 \text{ ビット}$$

ルマ

クロマ

したがって、各フレームが占有するのは以下のようである：

$$1,500 * 1,620 = 2,430,000$$

そのように獲得されたマクロブロック圧縮係数は、2.408に等しく、したがって、各マクロブロックの50%圧縮を達成するのを可能にしている。

【0072】MPEG復号器に対する適用の例

上述の関係を考慮に入れると、MPEG伸張されたIおよびP画像の50%の再圧縮を想定することによって、ビデオメモリレジスタの8Mビットまでの低減に対する

20

$$1,835,008 + 835,584 + 2,430,000 + 2,430,000 = 7,716,352$$

↓

↓

↓

50%圧縮のPバッファ

50%圧縮のIバッファ

残りの672,256ビット(8/MビットDRAM容量に対して)は、音響バッファを収容するため、および、表示ユニットシステム(OSD)の必要性のために利用可能である。

【0075】本発明の好ましい実施例による外部メモリの読み取られた帯域の低減上の例において説明されたように、ルミナンスの圧縮された8\*8ブロックのコード化のために必要なビット数は、271ビットである。本発明の好ましい実施例に従って、図1の技術に示されているメモリコントローラの現存しているアーキテクチャをできるかぎり少なく修正することと、これらのシステムの機能が256ビットブロックの読み取りおよび書き込みに対して現在最適化されているということを考慮に入れることとの目的で、復号器素子の上に集積された専用ローカルメモリの中の各ブロックに対して、 $271 - 256 = 15$ ビットを格納することは、確かに有利である。

【0076】これは、ADPCMメモリと呼ばれ、図1の技術の中に示されている。そのような補助的なADPCMメモリは、厳格には必要でないが、それによってもたらされる、したがって、図1の全体の技術の中に含まれた追加の有利な点の故に、非常に好ましい選択であることを示しているということは強調されるべき事実である。

のより大きな効率を意味する。ルミナンスに対して4ビット/画素の圧縮と、クロミナンスに対して3ビット/画素とを考慮することにより、メモリ必要量は以下のようになる。

【0071】

画像を再圧縮することによって達成される。したがって、それらは、図1に示されているように、それらを外部メモリから読み出すときに伸張されるであろう。

【0073】圧縮は、適応型のDPCM技術に従って、I\_DCTと動き補償パイプラインとから出力された8\*8ブロックに適用可能である。特に、考慮された例において、クロミナンスの8\*8ブロックに対しては3ビット圧縮が選択されるが、ルミナンスの8\*8ブロックに対しては4ビット圧縮が選択される。このように、メモリ必要量は次のようになる。

【0074】

【0077】単一のフレームに対するこの補助的なADPCMメモリの大きさは、したがって、次のようになる。

$$30 \quad [0078] \quad 1,620 * 4 * 15 = \text{フレーム当たり} 97,200 \text{ ビット}$$

この量は、PAL画像においては、1,620マクロブロックが存在し、それらのそれぞれは、4つの8\*8ブロックを含み、それらのそれぞれは、上で定義されたように15ビットによって特徴づけられているということを考慮に入れている。この計算結果は、ADPCM技術に従ってIおよびP画像が再圧縮されるので、2倍にされる。この結果、ADPCMメモリの容量は、存在するところにおいて、194,400ビットであるべきである。

【0079】公知のシステムの場合に比較して予測器の読み取りに対するサイクル数を低減することが、特定の重要な場合に対して、如何に可能であるかを示している例が下に記載される。

【0080】ビデオメモリからの予測器の読み取りMPEG標準に従って動き補償工程を実行するために、最大で16\*16画素によって構成される予測器を外部メモリから読み取ることが必要である。外部ビデオメモリのコントローラによって追従される通常の実行に従って、その工程は、外部メモリがその中で典型的に配置さ

50

れている特定のページフォーマットに従って、画素の読み取りと、幾つかの周りのものの読み取りとに基づいている。これは、実際に要求されているものを超過してデータを読み取ることを意味する厳しい条件である。

【0081】例えば、予測器を読み取るために、408の8ビットコードの画素（圧縮された）が、63\*3基本クロックサイクルを利用するルミナンス成分のために読み取られる。この状況は、画素が灰色の陰で強調されている図9において示されている。素子の中のADPCM補助メモリの存在をさらに考慮し、そのなかでそのメモリからADPCM圧縮データが読み取られるこの発明の好ましい実施例の場合においては、予測領域を含んで8\*8ブロックに属する576の画素は、外部DRAMメモリから読み取られる（図10において示されるように）。この場合、48\*3の基本クロックサイクルが必要である。これらのブロックのそれぞれを完成するために、残りの15ビットは、図1の内部ADPCMメモリから読み取られる。

$$1, 620 * 4 * (T - 2^n) * 2 = L$$

↓            ↓            ↓ I および P 画像  
↓            ↓            過剰ビット数 = 15 (もしも T = 27, n = 8 なら)  
↓            各マクロブロックに対するルマブロック  
画像におけるマクロブロック

#### 【0087】クロミナンス

圧縮されたADPCMクロミナンスデータの8\*8ブロックをコード化するのに必要なビットの総数をSとしよう。結果は次のようになるであろう。

$$【0088】 2^m \leq S \leq 2^{m+1}$$

この場合、mは1と等しいかそれよりも大きく、nと等

$$1, 620 * 2 * (S - 2^m) * 2 = C$$

↓            ↓            ↓ I および P 画像  
↓            ↓            過剰ビット数  
↓            各マクロブロックに対するルマブロック  
画像におけるマクロブロック

結論として、内部メモリは、L+Cに等しいかそれよりも大きい2者の電力に近似された、L+Cによって与えられる容量を有していてもよい。

#### 【図面の簡単な説明】

【図1】本発明の好ましい実施例によるビデオ復号器の“コア”のブロックダイアグラムである。

【図2】ADPCM再圧縮および符号化回路技術を示している。

【図3】図2の技術の変動予測ブロックの詳細な機能技術を示している。

【図4】図2の技術の変動予測ブロックの詳細な機能技

【0082】この好ましい実施例の他に、本発明によって読み取られる画素は、圧縮がない場合の408に比べて576であるという事実にも拘わらず、圧縮自身のおかげで、メモリから読み取られる合計のビットは低減し、その読み取りに必要なクロックサイクルの数も低減するということは、どんな場合にも強調される。

【0083】選択的な内部ADPCMメモリの容量の定義  
ルミナンス

10 ADPCM技術により圧縮されたルミナンスの8\*8ブロックをコード化するのに必要なビットの総数をTとしよう。結果は次のようになるであろう。

$$【0084】 2^n \leq T \leq 2^{n+1}$$

この場合、nは1と等しいかそれよりも大きい。

【0085】過剰のビット数は、各ブロックに対して(T-2^n)に等しく、結果として、ADPCMメモリは次のものに等しい容量を有する。

$$【0086】$$

しいか異なる。

【0089】過剰のビット数は、各ブロックに対して(S-2^m)に等しく、結果として、ADPCMメモリは次のものに等しい容量を有する。

$$【0090】$$

術を示している。

【図5】図2において示された技術の量子化ブロック閾値を発生させる回路の機能技術である。

【図6】多重レベル量子化回路の機能技術である。

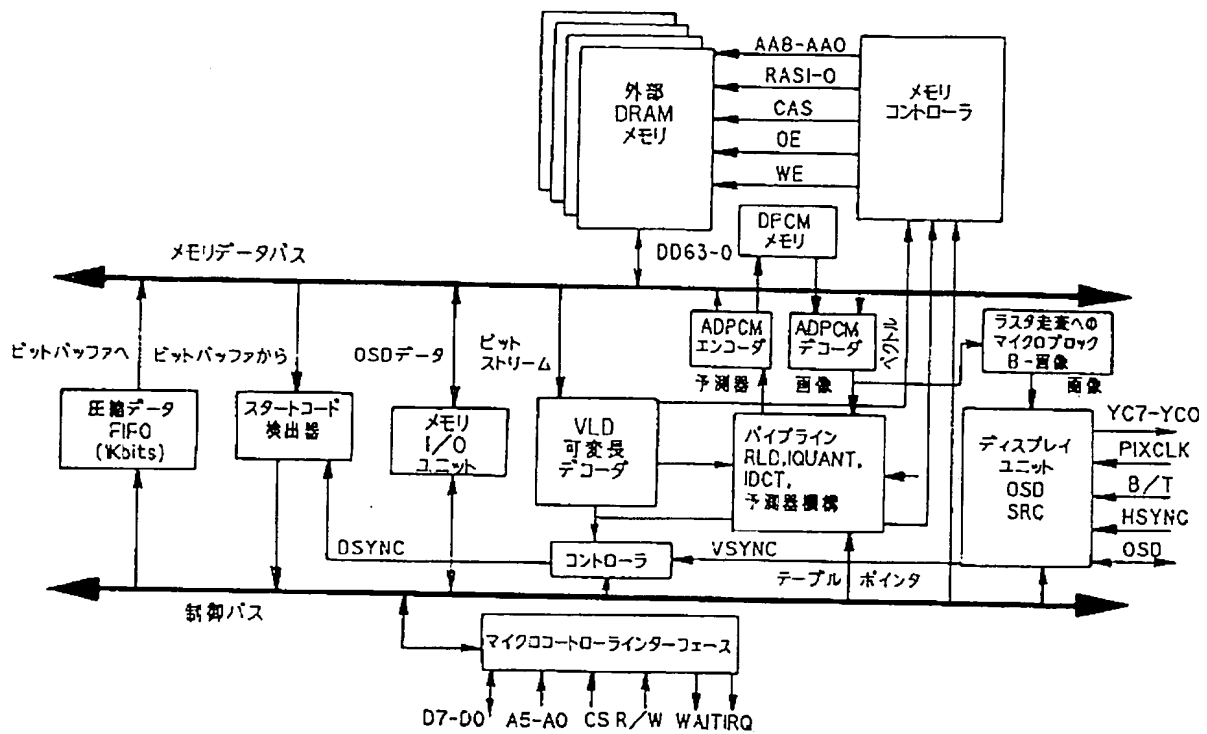
【図7】ADPCM復号化および伸張回路技術を示している。

【図8】I\_DCTデータの8\*8ブロックの走査を示している。

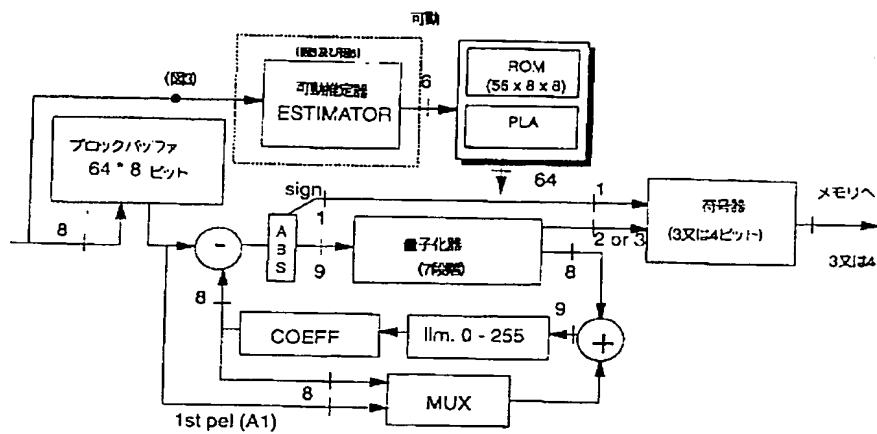
【図9】画像再構築の異なる場合を示している。

【図10】画像再構築の異なる場合を示している。

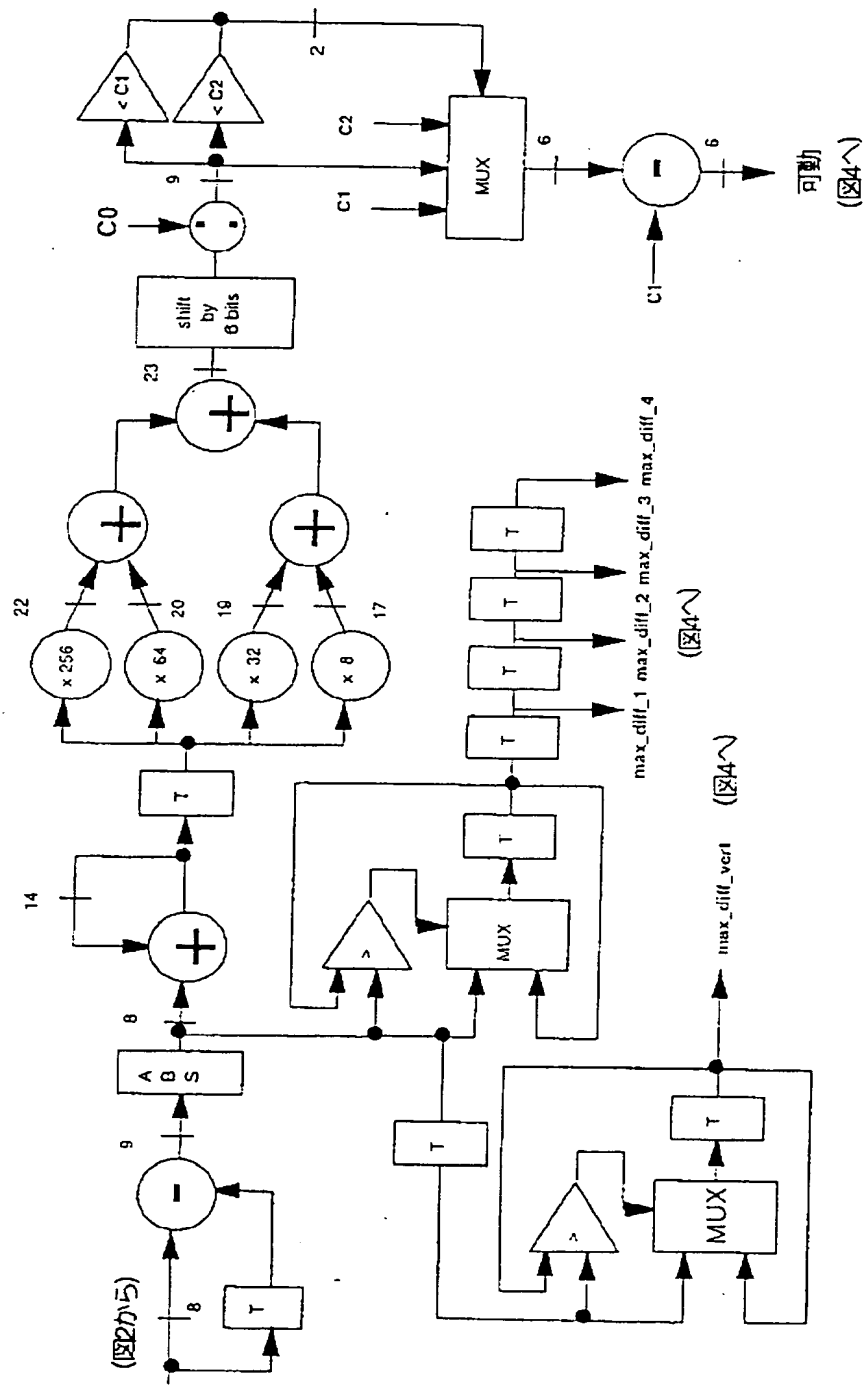
【図1】



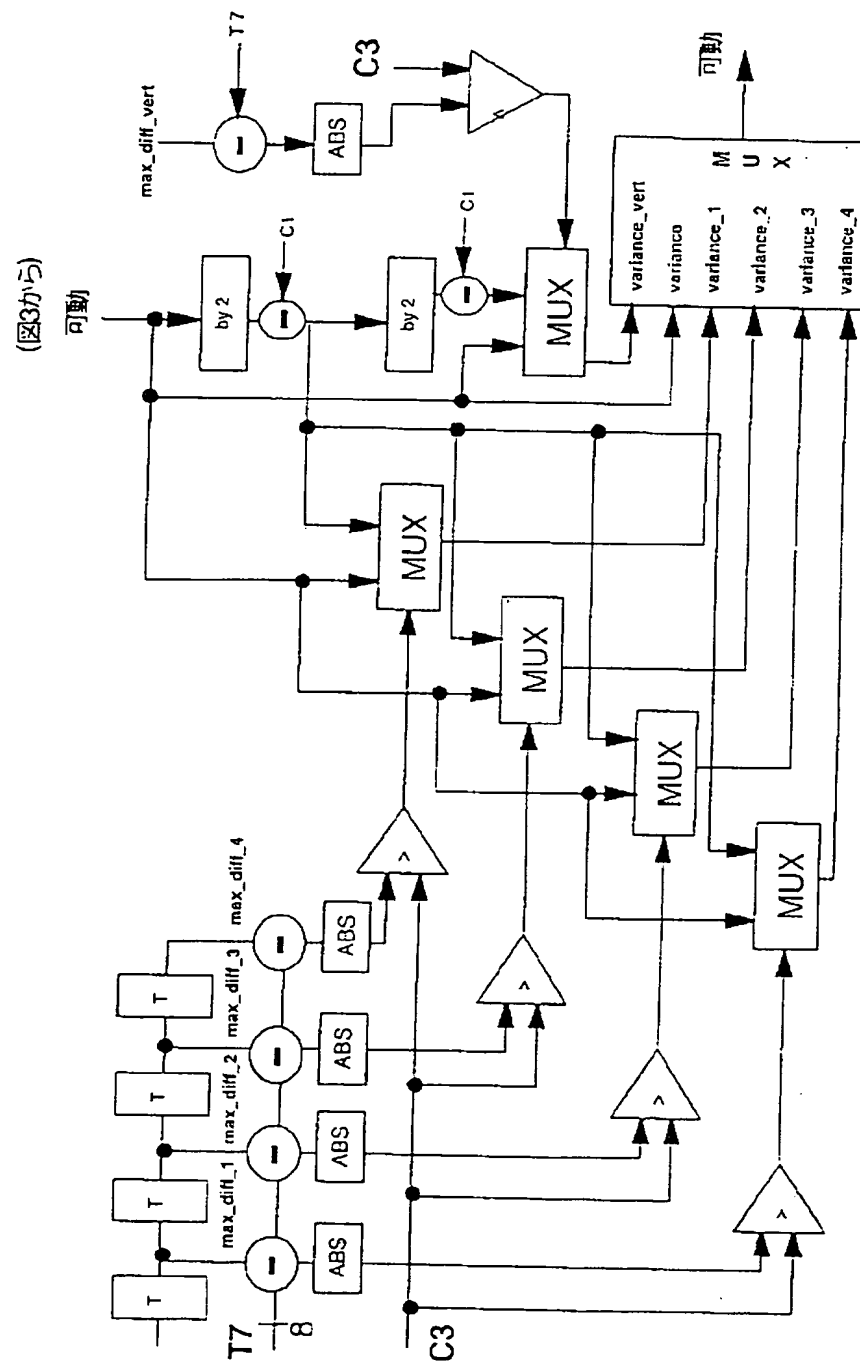
【図2】



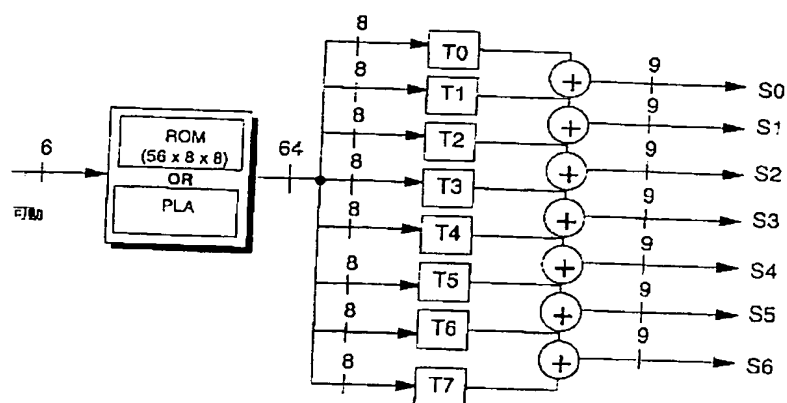
【図3】



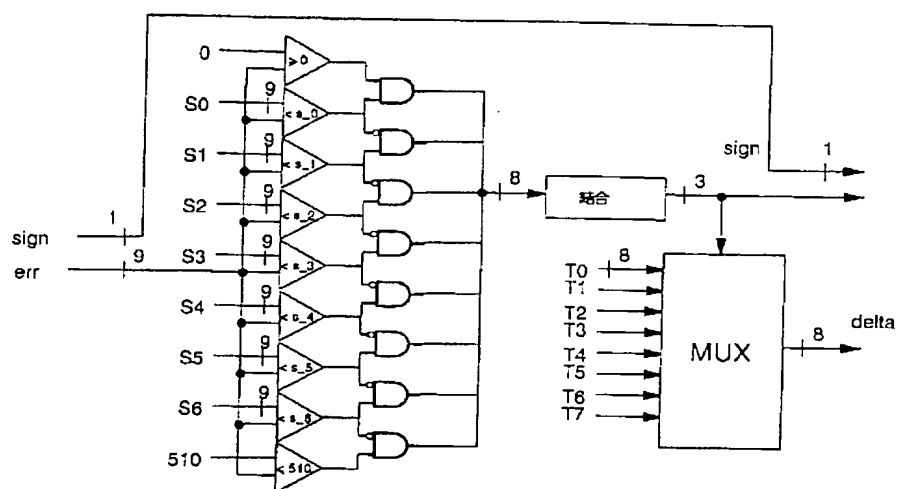
【図4】



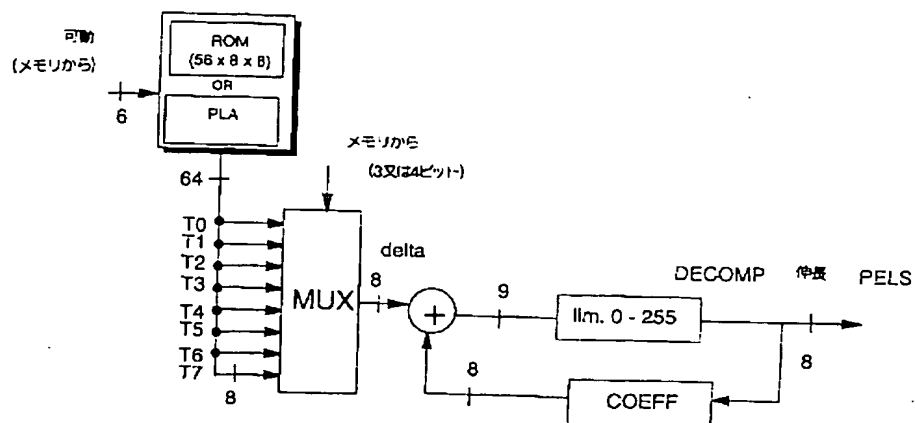
【図5】



【図6】

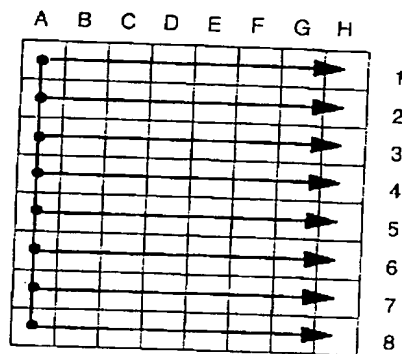


【図7】

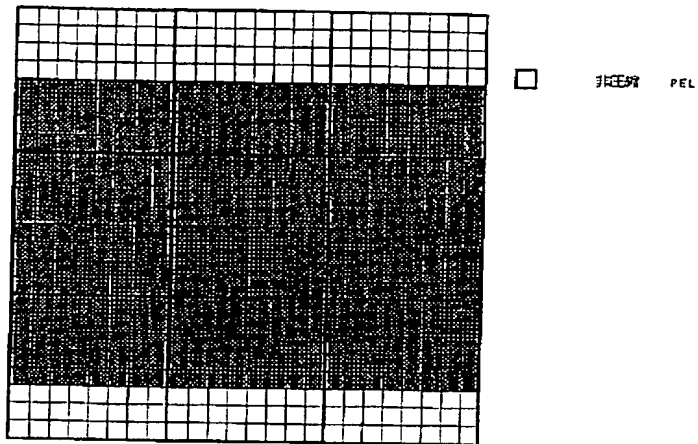


【図8】

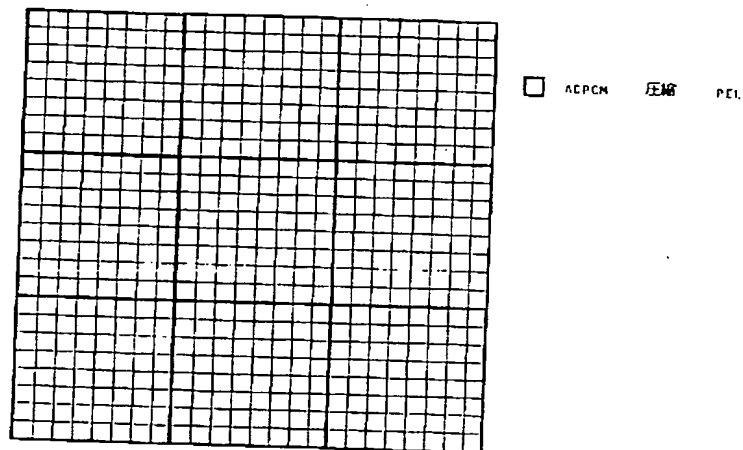
ブロック 8\*8



【図9】



【図10】





フロントページの続き

(72) 発明者   ロベルト・サンニノ  
          イタリア国   ベルガモ、ヴィア・モロニ  
          123